

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 7 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 1 8 6 8 7
Application Number:

[ST. 10/C]: [J P 2 0 0 2 - 2 1 8 6 8 7]

出 願 人 東芝松下ディスプレイテクノロジー株式会社
Applicant(s):

2 0 0 3 年 7 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 13807601

【提出日】 平成14年 7月26日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置

【請求項の数】 5

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 中 村 卓

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 林 宏 宜

【特許出願人】

【識別番号】 302020207

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号

【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して設けられるセンサと、
前記センサにより蓄積された電荷をデジタル信号に変換する A/D 変換器と、
前記デジタル信号をシリアル信号に変換して出力するシフトレジスタと、を備えた表示装置において、

前記シフトレジスタは、

m (m は 2 以上の整数) ビットからなる前記デジタル信号を第 1 シリアル信号に変換して出力する第 1 シフトレジスタと、

n (n は 2 以上の整数) ビットからなる前記デジタル信号を第 2 シリアル信号に変換して出力する第 2 シフトレジスタと、

前記第 1 及び第 2 シリアル信号のいずれか一方を選択して出力するシリアル信号選択部と、を有することを特徴とする表示装置。

【請求項 2】

前記シリアル信号選択部は、前記第 1 または第 2 シリアル信号を交互に選択して出力することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記シフトレジスタは、前記第 1 シフトレジスタ、前記第 2 シフトレジスタ及び前記シリアル信号選択部を組とする複数組を有し、各組の前記シリアル信号選択部は個別に前記第 1 または第 2 シリアル信号を選択することを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

絶縁基板上に縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、

前記表示素子のそれぞれに対応して前記絶縁基板上に形成されるセンサと、

前記絶縁基板上に形成され、前記センサにより蓄積された電荷を複数ビットか

らなるデジタル信号に変換する A/D 変換器と、

前記絶縁基板上に形成され、前記デジタル信号を第 1 シリアル信号に変換して出力する複数の第 1 シフトレジスタと、

前記絶縁基板とは別基板上に形成され、前記複数の第 1 シフトレジスタのそれぞれから出力された複数の第 1 シリアル信号のいずれか一つを選択して出力するシリアル信号選択部と、

前記絶縁基板とは別基板上に形成され、前記シリアル信号選択部の出力信号を前記複数の第 1 シリアル信号に対応する複数の第 2 シリアル信号に変換する S/P 変換部と、

を備えることを特徴とする表示装置。

【請求項 5】

前記第 1 シフトレジスタから出力されるデータの並び順序と前記第 2 シフトレジスタに入力されるデータの並び順序とを同じにすることを特徴とする請求項 4 に記載の表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、センサ機能を備えた表示装置に関する。

【0 0 0 2】

【従来の技術】

液晶表示装置は、信号線、走査線及び画素 T F T が列設されたアレイ基板と、信号線及び走査線を駆動する駆動回路とを備えている。最近の集積回路技術の進歩発展により、駆動回路の一部をアレイ基板上に形成するプロセス技術が実用化されている。これにより、液晶表示装置全体を軽薄短小化することができ、携帯電話やノート型コンピュータなどの各種の携帯機器の表示装置として幅広く利用されている。

【0 0 0 3】

ところで、アレイ基板上に、画像取込みを行う密着型エリアセンサを配置した表示装置が提案されている（特開 2001-292276 公報、特開 2001-339640 公報を参照

）。

【0004】

【発明が解決しようとする課題】

この種の密着型エリアセンサを備えた表示装置では、アレイ基板上の画素数が多くなると、それに応じてセンサの数も増え、各センサで取り込んだ画像データをホストコンピュータ側に伝送するのに時間がかかる。

【0005】

また、アレイ基板とホストコンピュータとの間で送受されるデータ線の数を減らす目的でデータの選択回路を設けると、アレイ基板からホストコンピュータに伝送されるデータの並び順がバラバラになり、並び替え回路が必要になる。このため、回路規模が大きくなってしまう。

【0006】

本発明は、このような点に鑑みてなされたものであり、その目的は、センサで取り込んだ画像データを高速かつ簡易な手法でホストコンピュータに伝送可能な表示装置を提供することにある。

【0007】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して設けられるセンサと、前記センサにより蓄積された電荷をデジタル信号に変換するA/D変換器と、前記デジタル信号をシリアル信号に変換して出力するシフトレジスタと、を備えた表示装置において、前記シフトレジスタは、 m (m は2以上の整数) ビットからなる前記デジタル信号を第1シリアル信号に変換して出力する第1シフトレジスタと、 n (n は2以上の整数) ビットからなる前記デジタル信号を第2シリアル信号に変換して出力する第2シフトレジスタと、前記第1及び第2シリアル信号のいずれか一方を選択して出力するシリアル信号選択部と、を有する。

【0008】

【発明の実施の形態】

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

【0009】

図1は本発明に係る表示装置の第1の実施形態の概略構成図であり、アレイ基板上の構成を示している。図1の表示装置は、信号線及び走査線が列設される画素アレイ部1と、信号線を駆動する信号線駆動回路2と、走査線を駆動する走査線駆動回路3と、画像を取り込んで出力する検出回路&出力回路4と、画像取込み用のセンサを制御するセンサ制御回路5とを備えている。

【0010】

図2は画素アレイ部1の一部を詳細に示したブロック図である。図2の画素アレイ部1は、縦横に列設される信号線及び走査線の各交点付近に形成される画素TFT11と、画素TFT11の一端とCs線との間に接続される液晶容量C1及び補助容量C2と、各画素TFT11ごとに2個ずつ設けられる画像取込み用のセンサ12a, 12bとを有する。センサ12a, 12bは、不図示の電源線及び制御線に接続されている。

【0011】

図3は図2の一部を詳細に示した回路図である。図3に示すように、センサ12aはそれぞれフォトダイオードD1とセンサ切替用トランジスタQ1とを有し、センサ12bはそれぞれフォトダイオードD2とセンサ切替用トランジスタQ2とを有する。フォトダイオードD1, D2は、受光した光の光量に応じた電気信号を出力する。センサ切替用トランジスタQ1, Q2は交互にオン・オフし、1画素内の複数のフォトダイオードD1, D2のいずれか一方が交互に選択される。

【0012】

各画素は、2つのセンサ12a, 12bと、同一画素内の2つのセンサ12a, 12bで共用されるキャパシタC3と、キャパシタC3の蓄積電荷をA/D変換する検出回路41と、検出回路41への書込み制御を行うトランジスタQ3と、バッファ13及びキャパシタC3を初期化するリセット用トランジスタQ4とを有する。キャパシタC3の蓄積電荷は、トランジスタQ3と検出線を介して検

出回路 41 に供給される。検出回路 41 は、アレイ基板の額縁部分に設けられる。

【0013】

シリコン基板上に形成されるトランジスタ回路の場合と異なり、絶縁基板上に低温ポリシリコンプロセスを用いて形成される LTPS 素子 (Low Temperature Poly-Si 素子) の場合、同一チップ上でも素子特性の V_{th} ばらつきが 1 V 程度になることがある。このため、シリコン基板上の A/D 変換回路でよく用いられる差動回路 (オペアンプ) をそのまま用いることができず、 V_{th} ばらつきの補償手段を有した A/D 変換回路が必要となる。オペアンプを普通に用いると、素子の V_{th} ばらつきなどにより、あるセンサ出力電位が、ある検出回路でハイレベルに変換され、別の検出回路ではローレベルに変換されるなどして実用にならないためである。

【0014】

以下では、とくに LTPS 素子を用いて表示装置のアレイ基板上に一体形成する場合に特に有効な V_{th} ばらつき補償手段を有した A/D 変換回路を備えた検出回路 41 について説明する。

【0015】

図 4 は検出回路 41 の詳細構成を示す回路図である。図 4 の検出回路 41 は、各検出線ごとに、トランジスタ Q7、Q8 と、キャパシタ C4 及びインバータ I V1 からなるアンプ 42 と、インバータ I V2 と、ラッチ 43 と、トランジスタ Q9 と、トランジスタ Q10 及びレジスタ回路 44 からなるシフトレジスタ 45 とを有する。ラッチ 43 は例えば図 5 (a) のような回路で構成され、シフトレジスタ 44 は例えば図 5 (b) のような回路で構成される。

【0016】

トランジスタ Q7 のゲートにはいずれも信号 /PRC が入力され、トランジスタ Q8 のゲートにはいずれも信号 PRC が入力される。まず最初は、所定期間だけ信号 PRC をハイレベルにする。これにより、トランジスタ Q8 がオンし、アンプ 42 の入力端は、電圧 VPRC に初期化される。電圧 VPRC は、センサのハイレベルの出力が検出線に導かれた場合の検出線電圧と、センサのローレベルの出力が検

出線に導かれた場合の検出線電圧との間の電圧に設定される。アンプ 4 2 内のインバータ I V 1 の入出力端子間にスイッチ S W 1 が接続されており、電圧 P R C がハイレベルのときは、このスイッチ S W 1 がオンするため、インバータ I V 1 の入力端（＝キャパシタ素子 C 4 の下側の端）にはインバータの動作しきい値が保持される。このとき、アンプ 4 2 は増幅動作を行わない。この動作により、V_{th}のキャンセルが行われる。V_{th}がばらついても、インバータ I V 1 の入力端にはインバータ I V 1 の動作閾値が保持される。

【0 0 1 7】

次に、信号/PRCをハイレベル（信号P R Cをローレベル）にすると、検出線の電圧が電圧V_{PRC}より高いか否かがそのままキャパシタ素子C 4 を介して、インバータ I V 1 の入力端に動作閾値に対して高いか否かの電圧に置き換わるように入力され、インバータ I V 1 の出力端に反転増幅出力が確実に出力される。このようにして、V_{th}ばらつきが1 V程度あるような場合でも確実にA/D変換が行われる。

【0 0 1 8】

その後、所定のタイミングで、ラッチ 4 3 はラッチ動作を行う。その後、信号 A がハイレベルになると、ラッチ 4 3 の出力がシフトレジスタ 4 5 の各レジスタ回路 4 4 に書き込まれる。その後、信号 A がローレベルになると、トランジスタ Q 1 0 がオンし、各レジスタ回路 4 4 は縦続接続され、クロック C L K に同期して、データは1段ずつ右側にシフトされ、右端のレジスタ回路 4 4 から C P U に供給される。

【0 0 1 9】

なお、場合によっては、ラッチ 4 3 を省略することも可能である。検出線の出力を直接シフトレジスタ 4 5 に導いてやればよい。ただし、シフトレジスタ 4 5 が C P U にデータを出力し終えたちょうど良いタイミングで、検出線の出力をシフトレジスタ 4 5 に供給する必要がある。シフトレジスタ 4 5 にデータを格納し終わるまでに検出回路 4 1 の出力が変化しないようにするためである。

【0 0 2 0】

これに対し、図 4 のようにラッチ 4 3 を設けると、シフトレジスタ 4 5 の動作

にかかわらず、A/D変換の出力をラッチ43に保持し続けることができ、迅速に次の検出動作に入ることができる利点がある。

【0021】

図4では、アンプ42をキャパシタC4とインバータIV1の一個ずつで構成しているが、図6に示すように、キャパシタC4とインバータIV1を複数個ずつ縦続接続してもよい。これにより、アンプ42の利得制御の精度を向上できる。縦続接続数が多いほど、A/D変換可能な検出線の最小振幅をより小さくでき、A/D変換器の感度を高めることができる。

【0022】

図4において、シフトレジスタ45の後段に、不図示のバッファやレベル変換回路を接続してもよい。バッファは、PMOS-TFTとNMOS-TFTを電源端子と接地端子間に直列接続したインバータであり、波形整形を行う。また、レベル変換回路が必要なのは以下の理由による。ガラス基板などの絶縁基板上に形成されるポリシリコンTFTは、シリコン基板上に形成されるTFTなどに比べて、しきい値電圧 V_{th} の絶対値が例えば1～3Vと大きいため、電源電圧として比較的大きな電圧（本実施形態では5V）が必要である。一方、シリコン基板上に形成されるCPUは、1～3Vの電源電圧で動作するのが通常である。このようなCPUに5V振幅の信号を入力すると、CPU側のインタフェース回路に過剰な電圧が印加されることになり、故障の原因になりえる。これを回避するために、信号振幅が5VからCPUで受けられる小振幅になるようレベル変換する回路を設けるのが望ましい。レベル変換回路は、公知の回路構成でよい。

【0023】

図7はシフトレジスタ45からCPUに伝送される画像データの動作タイミング図である。図示のように、320番目の検出線のデータD320から1番目の検出線のデータD1まで順に伝送される。なお、データの伝送順序を図7とは逆にして、1番目の検出線のデータD1から320番目の検出線のデータD320まで順に伝送してもよい。

【0024】

図7の場合、検出線の数が多くなるほど、シフトレジスタ45の出力周波数を

高くする必要があり、タイミング的な制限が厳しくなる。具体的には、シフトレジスタ 45 はクロックに同期して、各段のデータを次段に転送するが、クロックが早くなりすぎると、この転送を正常に行えなくなる。そこで、図 8 は、シフトレジスタ 45 の動作周波数を低くすることが可能な回路構成にしている。図 8 の回路は、シフトレジスタ 45 を第 1 シフトレジスタ部 45 a と第 2 シフトレジスタ部 45 b との 2 つに分けるとともに、第 1 及び第 2 シフトレジスタ部 45 a, 45 b の出力のいずれか一方を選択する P/S 変換回路 46 を設け、この P/S 変換回路 46 の出力を CPU に供給する例を示している。

【0025】

第 1 シフトレジスタ部 45 a は検出線 D1～D160 までの画像データをシフトし、第 2 シフトレジスタ部 45 b は検出線 D161～D320 までの画像データをシフトする。

【0026】

図 9 は、第 1 シフトレジスタ部 45 a、第 2 シフトレジスタ部 45 b 及び P/S 変換回路 46 の出力タイミング図である。図示のように、第 1 シフトレジスタ部 45 a は画像データ D160～D1 まで順に出力し、第 2 シフトレジスタ部 45 b は画像データ D320～D161 まで順に出力する。P/S 変換回路 46 は、第 1 及び第 2 シフトレジスタ部 45 a, 45 b の出力を交互に選択して出力する。

【0027】

このように、図 8 の回路では、シフトレジスタ 45 を第 1 及び第 2 シフトレジスタ部 45 a, 45 b に分けて、各シフトレジスタ部 45 a, 45 b の出力を交互に選択して CPU に伝送するため、シフトレジスタ 45 の動作周波数を図 4 の半分に遅くでき、タイミング的な制限を緩和できる。

【0028】

一方、図 10 は図 8 の回路の変形例であり、アレイ基板を 2n (n は 1 以上の整数) 個のブロックに分割する例を示している。図 10 では、各ブロックごとにラッチ&シフトレジスタ 45 を設け、隣接する 2 つのブロック内の 2 つシフトレジスタ 45 の出力のいずれか一方を選択する P/S 変換回路 46 を設けている。ラッチ&シフトレジスタ 45 は、図 5 (a) 及び図 5 (b) と同様に、図 11 の

ような回路で構成されている。

【 0 0 2 9 】

図 1 0 の場合、隣接する 2 ブロックごとに、センサの画像取込み結果を示すシリアル信号が C P U に供給される。

【 0 0 3 0 】

このように、図 1 0 では、アレイ基板上の $2n$ 個のブロックそれぞれから出力される画像データを n 本のデータ線にまとめて C P U に伝送するため、一つのシフトレジスタ 4 5 を用いて C P U に画像データを伝送する場合に比べて、シフトレジスタ 4 5 の動作周波数を $2n$ 分の 1 に低減できる。さらに、 n 本のデータ線を 2 本ずつ組にしてさらにシリアル変換することにより C P U へのデータ出力本数を $n/2$ と減らすことも可能である。この場合にはシフトレジスタ 4 5 の動作周波数は $2n$ 分の 1 でありながら、C P U へデータを伝送するためのデータ線の出力本数を $n/2$ に減らすことができる。

【 0 0 3 1 】

ところで、図 8 や図 1 0 のように、複数のシフトレジスタ 4 5 の出力を P / S 変換回路でシリアルデータに変換すると、各シフトレジスタ 4 5 ごとに画素の配置に対応して連続的に並んでいたデータが交互に入り混じり、不連続なデータになってしまう。このため、このようなデータを C P U が受け取っても、そのままでは画像データ処理を行えない。

【 0 0 3 2 】

このような問題に対処する手法として、アレイ基板側で、出力データ線に加えて複数のビット線を配置し、これらビット線により画像データのアドレス情報を付して出力する方法が考えられる。

【 0 0 3 3 】

しかしながら、絶縁基板からより多くの信号が出力される結果になり、消費電力が増加したり、接続ピン数が増加したりし、I C のコストが高くなる。また、I C 側でも、伝送されてきたアドレスをデコードして、個々のデータをしかるべきメモリに逐一格納しなければならず、ゲート数が増大したり、消費電力が増える要因になる。

【0034】

図12はアレイ基板の外部で並び替えを行う場合のシフトレジスタ45の後段側のブロック図である。図12の回路は、アレイ基板のP/S変換回路46から出力されるシリアル信号をパラレル信号に変換するS/P変換回路47と、パラレル信号を構成する各信号の位相を合わせるタイミング調整回路48と、タイミング調整回路48の出力信号をシフトさせるシフトレジスタ49a, 49bとを有する。

【0035】

P/S変換回路46とS/P変換回路47はいずれも2つのアナログスイッチで構成され、具体的にはP/S変換回路46は図13(a)のような回路で、S/P変換回路47は図13(b)のような回路で構成される。いずれの回路においても、一方のアナログスイッチがオンのときに他方のアナログスイッチがオフするように制御することにより、P/S変換またはS/P変換を行うことができる。

【0036】

タイミング調整回路48は、例えばDラッチ50で構成される。図12の左側に並んだDラッチ50と右側に並んだDラッチ50とで段数が異なる理由は、両データの位相を合わせるためである。なお、Dラッチ50の内部構成は図14のようになる。

【0037】

タイミング調整回路48の後段には、CPUでの処理に都合がよいようにシフトレジスタ45が接続されているが、このシフトレジスタ45は必須の構成ではなく、ラインバッファやメモリなどを用いることも可能である。いずれにしても図13(b)に示したS/P変換回路からはデータが正順に出力されるため、CPUでのデータの処理が容易になる。

【0038】

図15は図12の回路の動作タイミング図である。図15の信号OUT1は第1シフトレジスタ部45aの出力、信号OUT2は第2シフトレジスタ部45bの出力、信号OUTはP/S変換回路46の出力、信号IN1, IN2はS/P変換回路

47の出力、信号IN1a, IN1bはタイミング調整回路48の出力である。図15に示すように、タイミング調整回路48の2つの出力は、互いに位相が揃っている。

【0039】

このように、アレイ基板の外側に、P/S変換回路46と対称的なS/P変換回路47を設けることにより、アレイ基板からアドレス情報を伝送しなくても、画像データの並び替えを行うことができる。

【0040】

本実施形態の表示装置は、通常の表示動作を行うこともできるし、スキャナと同様の画像取込みを行うこともできる。通常の表示動作を行う場合は、図3のトランジスタQ3はオフ状態に設定され、検出回路41には有効なデータは供給されない。この場合、信号線には、信号線駆動回路2からの信号線電圧が供給され、この信号線電圧に応じた表示が行われる。

【0041】

一方、画像取込みを行う場合は、図16に示すようにアレイ基板21の上面側に画像取込み対象物（例えば、紙面）22を配置し、バックライト23からの光を対向基板24とアレイ基板21を介して紙面22に照射する。紙面22で反射された光はアレイ基板21上のセンサ12a, 12bで受光され、画像取込みが行われる。取り込んだ画像データは、バッファ13に格納された後、検出線を介して不図示のCPUに送られる。このCPUは、本実施形態の表示装置から出力されるデジタル信号を受けて、データの並び替えやデータ中のノイズの除去などの演算処理を行う。なお、CPUは一つの半導体チップで構成してもよいし、複数の半導体チップで構成してもよい。

【0042】

【発明の効果】

以上詳細に説明したように、本発明によれば、画素ごとに設けられるセンサで取り込んだ画像データをA/D変換器でデジタル信号に変換した後、第1及び第2シフトレジスタでシリアル信号に変換し、第1及び第2シフトレジスタの出力のいずれかを一方を選択して出力するため、シフトレジスタの動作周波数を低く

でき、タイミング制限が緩やかになるとともに、消費電力も低減できる。

【図面の簡単な説明】

【図 1】

本発明に係る表示装置の第 1 の実施形態の概略構成図。

【図 2】

画素アレイ部 1 の一部を詳細に示したブロック図。

【図 3】

図 2 の一部を詳細に示した回路図。

【図 4】

検出回路 4 1 の詳細構成を示す回路図。

【図 5】

(a) はラッチの詳細回路図、(b) はシフトレジスタの詳細回路図。

【図 6】

キャパシタとインバータを複数個ずつ縦続接続した回路図。

【図 7】

シフトレジスタ 4 5 から C P U に伝送される画像データの動作タイミング図。

【図 8】

シフトレジスタ 4 5 の動作周波数を低くすることが可能な回路図。

【図 9】

第 1 シフトレジスタ部 4 5 a、第 2 シフトレジスタ 4 5 部及び P / S 変換回路 4 6 の出力タイミング図。

【図 1 0】

図 8 の回路の変形例を示す図。

【図 1 1】

ラッチ & シフトレジスタの詳細ブロック図。

【図 1 2】

アレイ基板の外部で並び替えを行う場合のシフトレジスタ 4 5 の後段側のブロック図。

【図 1 3】

(a) は P / S 変換回路の詳細回路図、(b) は S / P 変換回路の詳細回路図。
。

【図 1 4】

D ラッチの内部構成を示す回路図。

【図 1 5】

図 1 2 の回路の動作タイミング図。

【図 1 6】

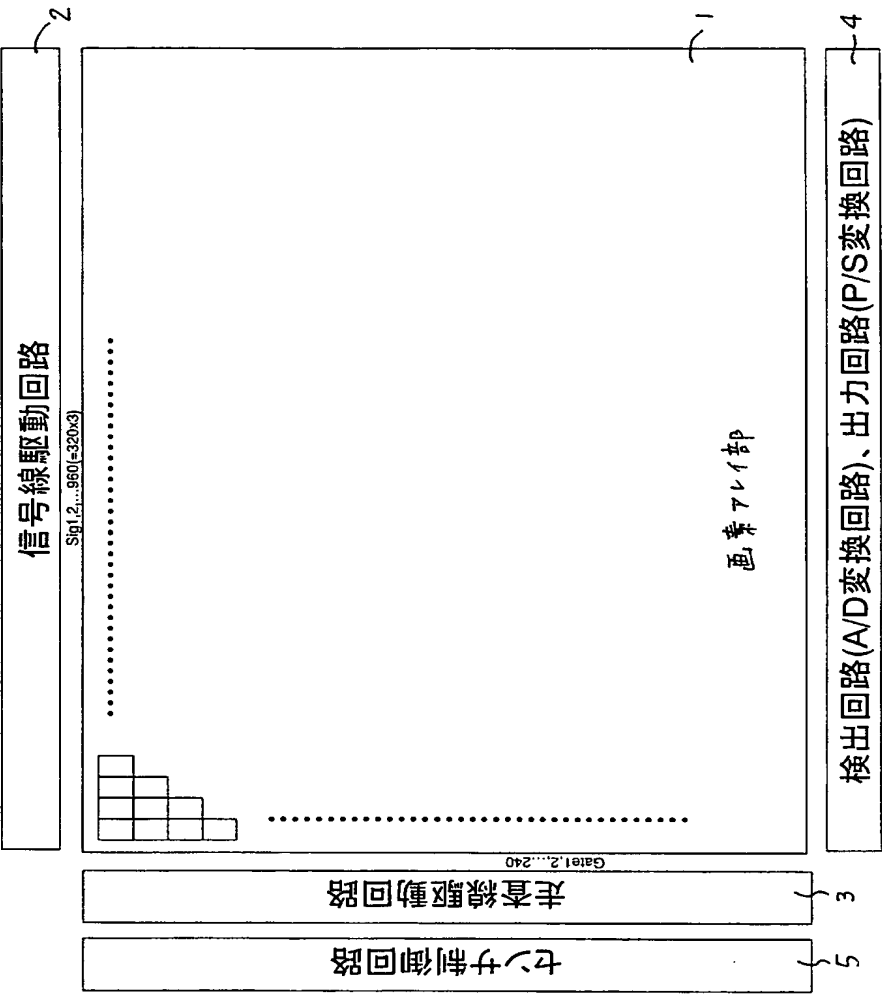
画像取込みの原理を説明する図。

【符号の説明】

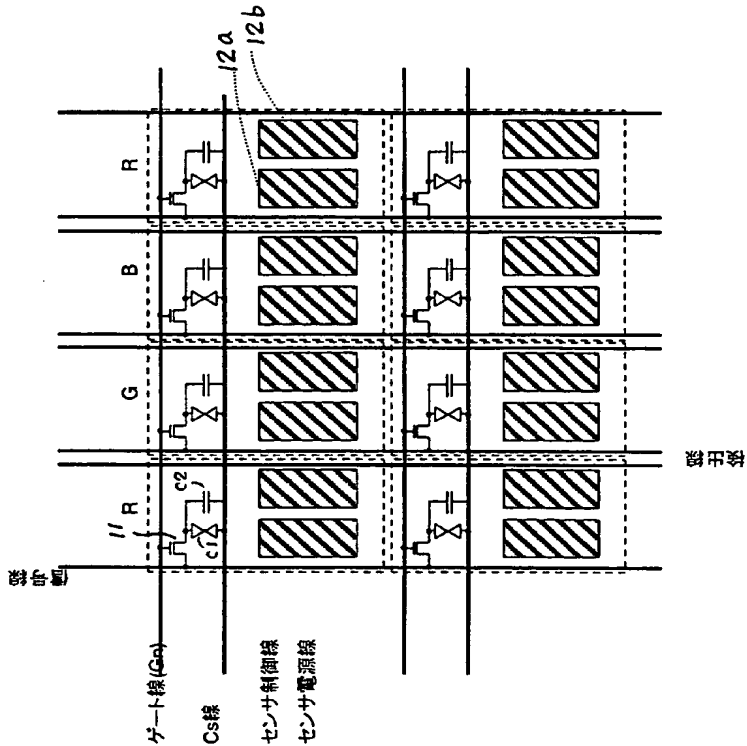
- 1 画素アレイ部
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 検出回路 4 1 & 出力回路
- 5 センサ制御回路
- 1 1 画素 T F T
- 1 2 a, 1 2 b センサ
- 1 3 バッファ
- 2 1 アレイ基板
- 2 2 紙面
- 2 3 バックライト
- 2 4 対向基板
- 4 1 検出回路
- 4 2 アンプ
- 4 3 ラッチ
- 4 5 シフトレジスタ
- 4 6 P / S 変換回路
- 4 7 S / P 変換回路
- 4 8 タイミング調整回路
- 4 9 a, 4 9 b シフトレジスタ

【書類名】 図面

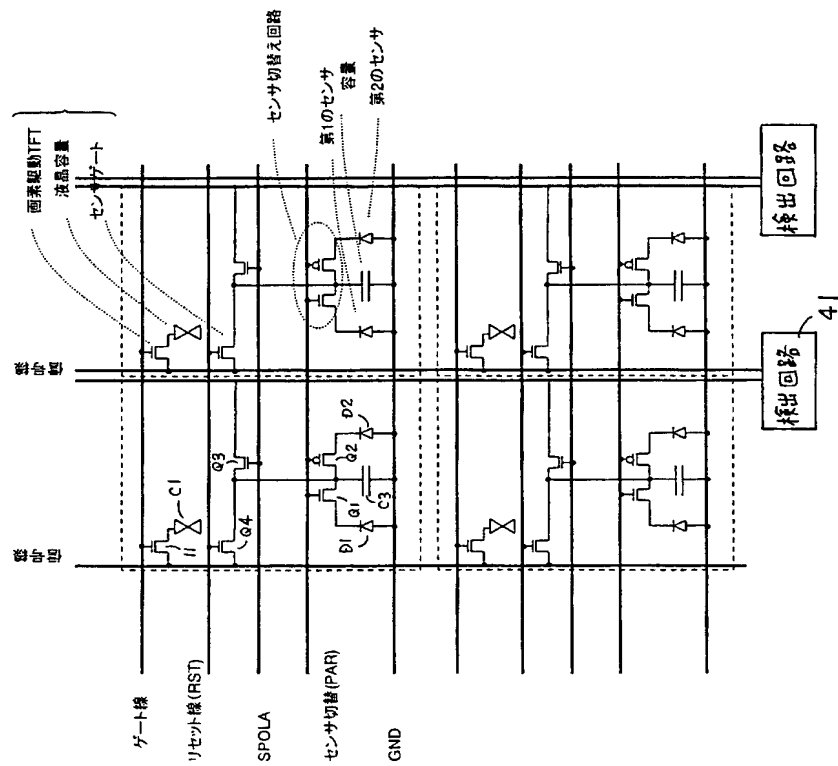
【図 1】



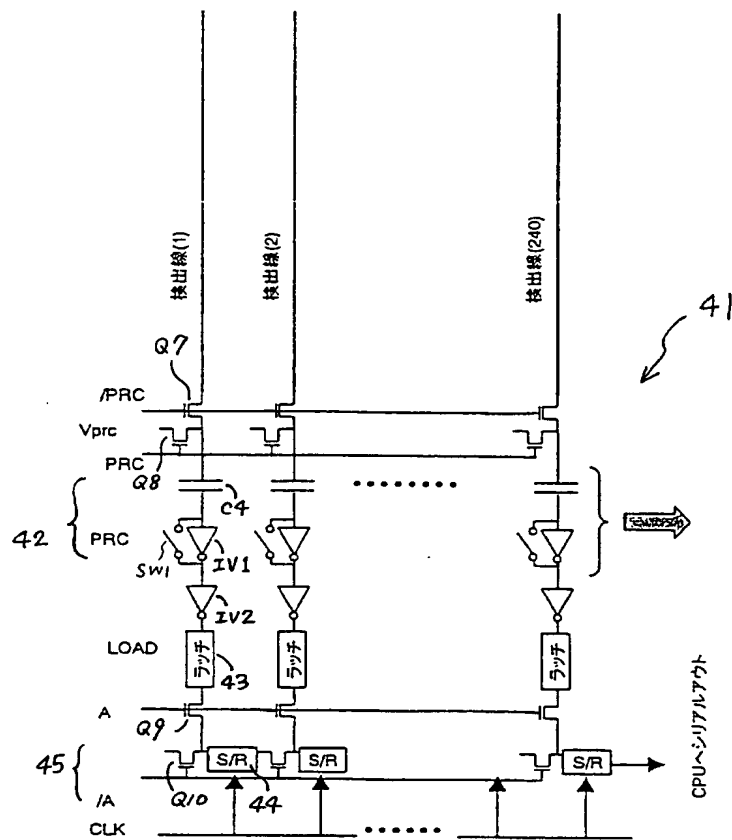
【図 2】



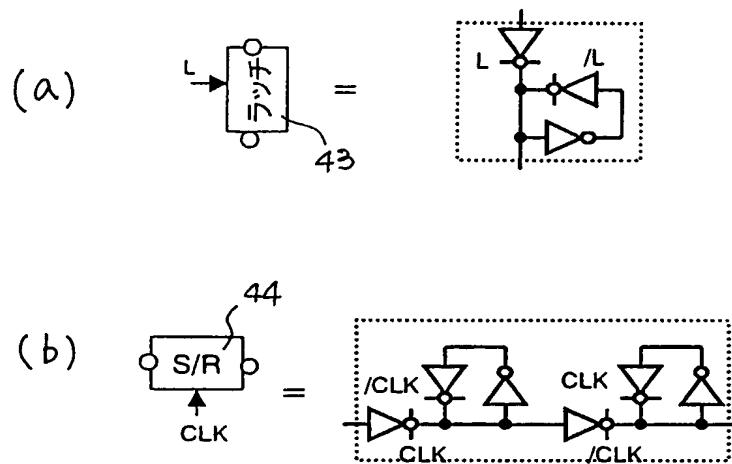
【図3】



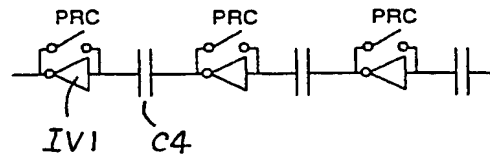
【図 4】



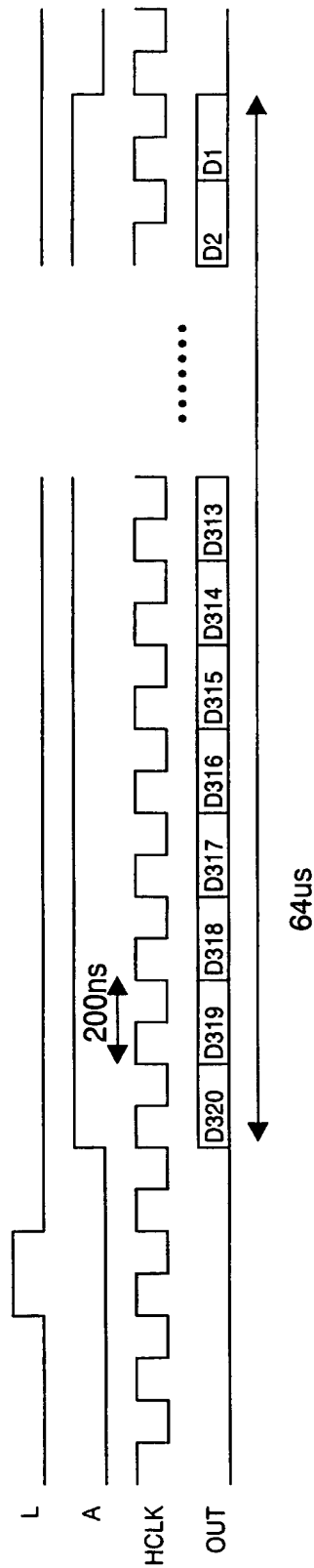
【図 5】



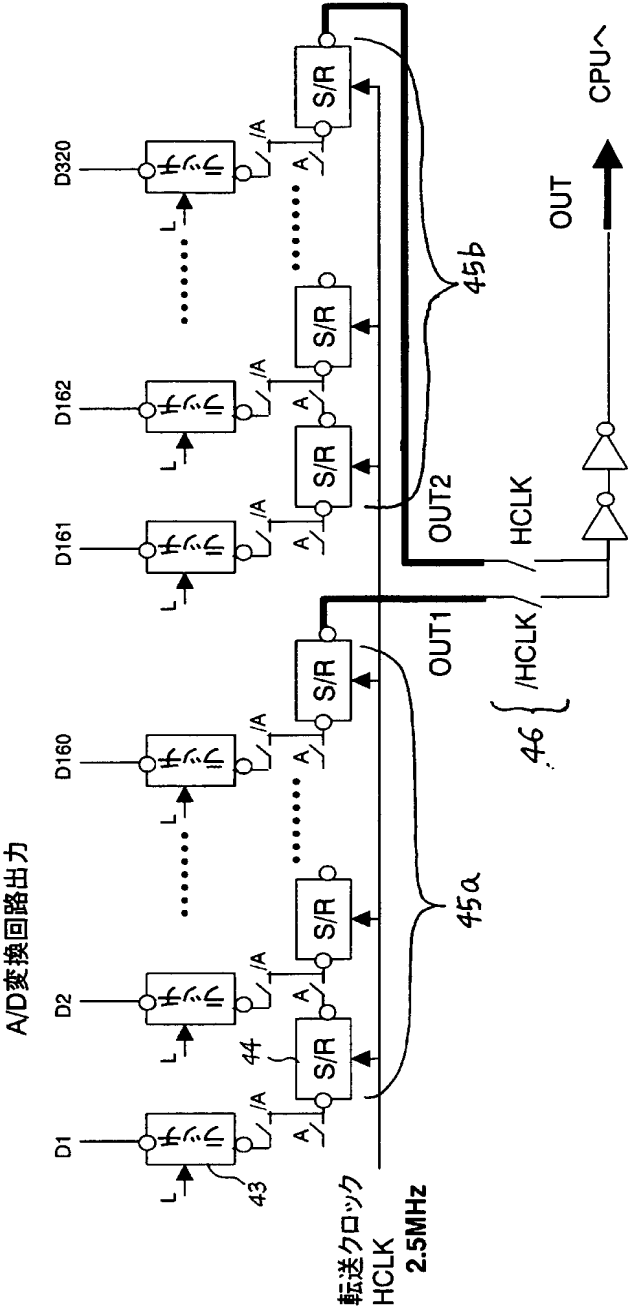
【図 6】



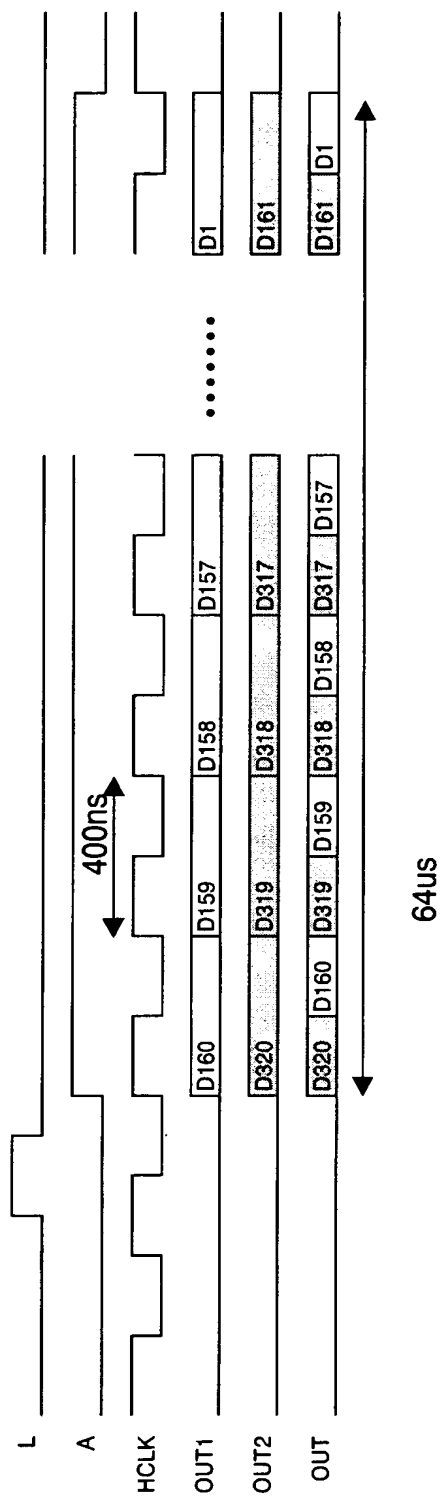
【図 7】



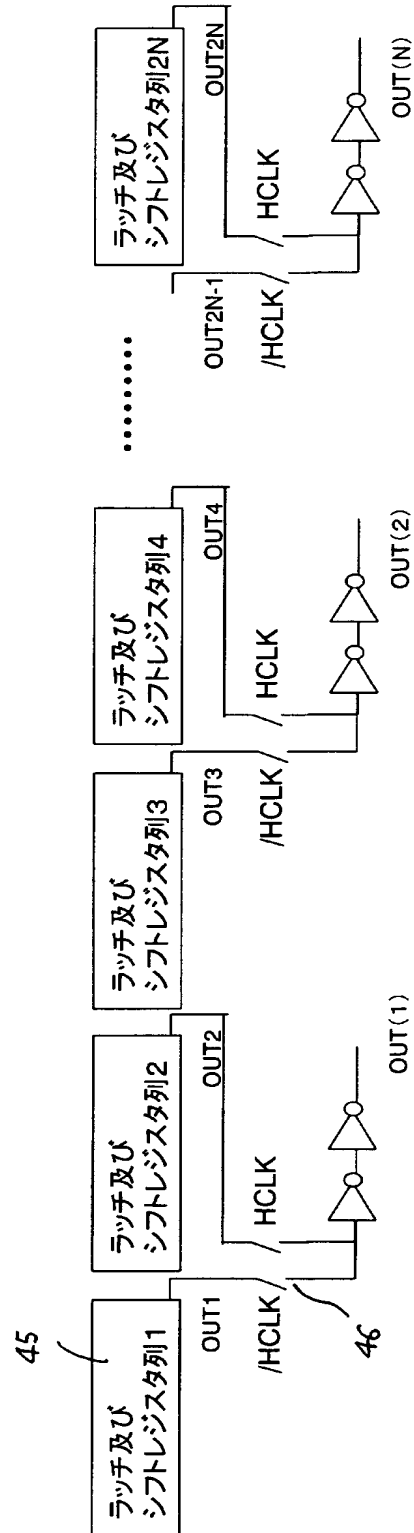
【図 8】



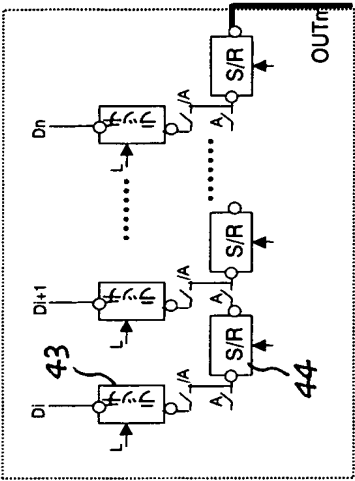
【図 9】



【図 10】



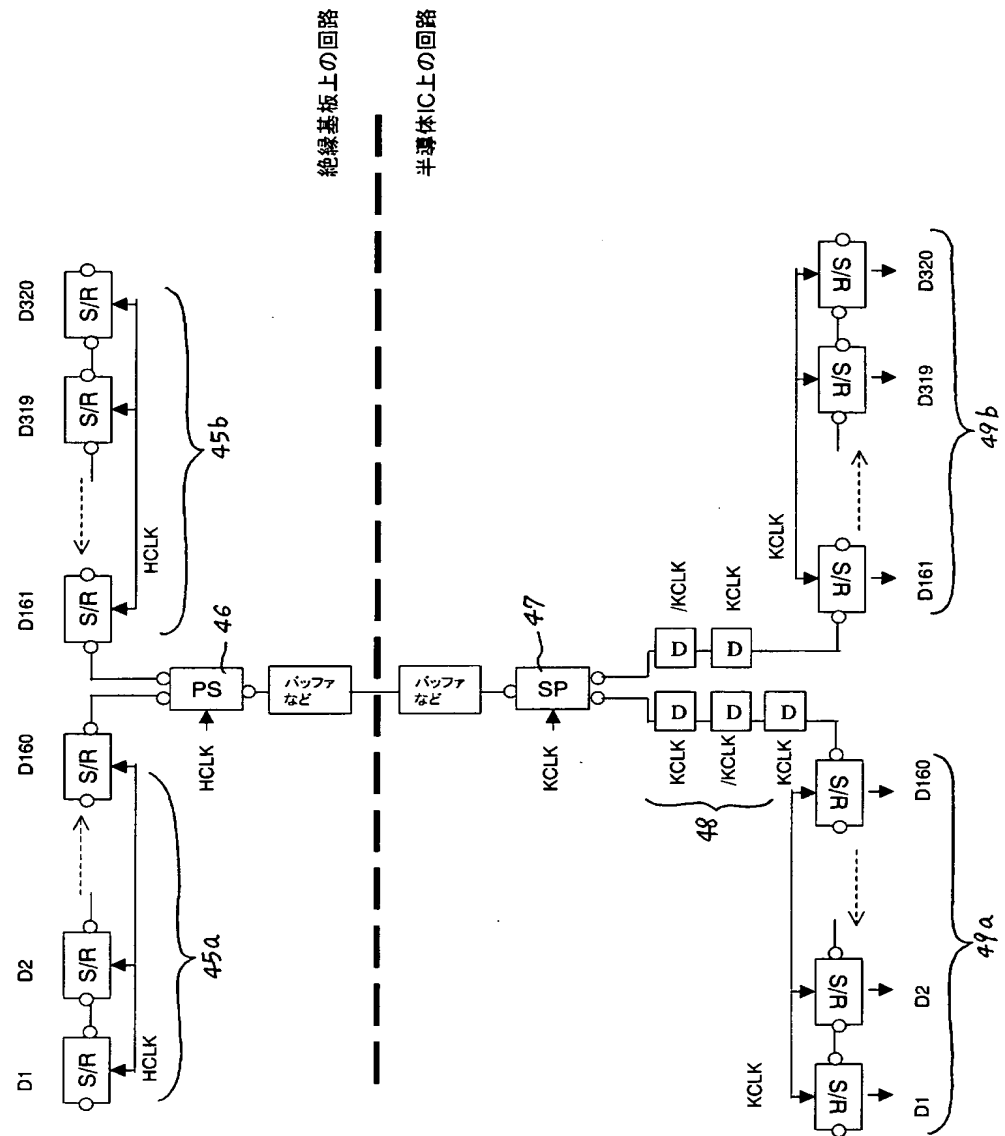
【図 1 1】



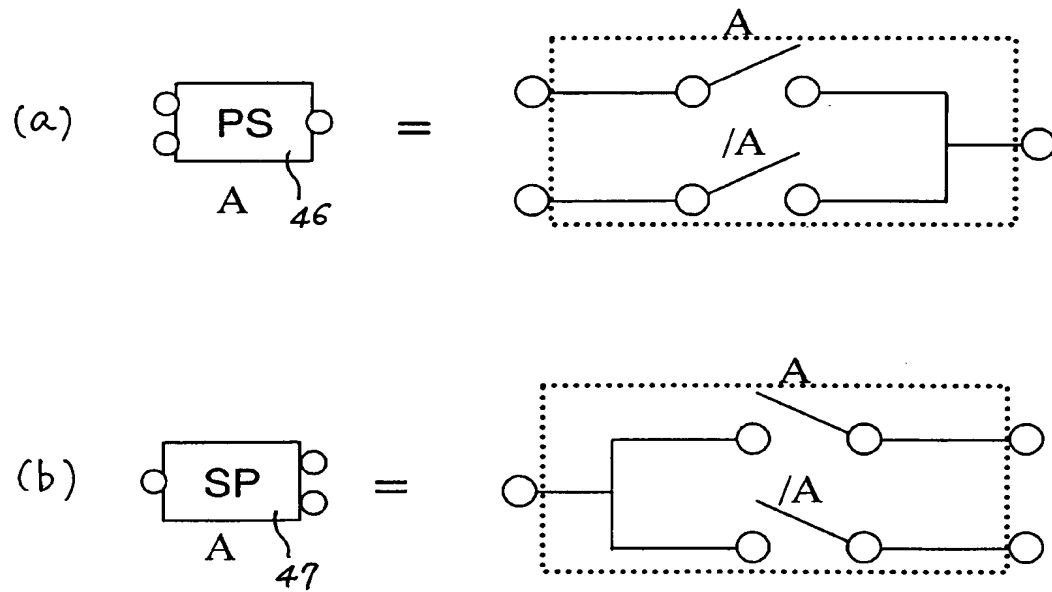
=

ラッチ及び
シフトレジスタ列m
43, 44

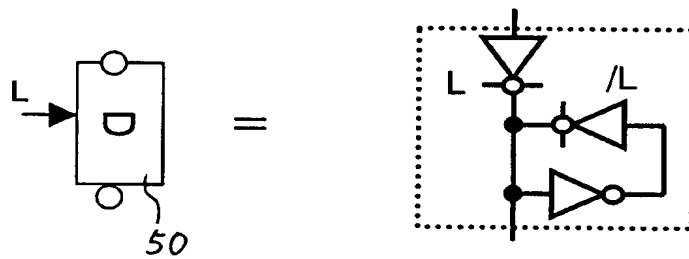
【図 12】



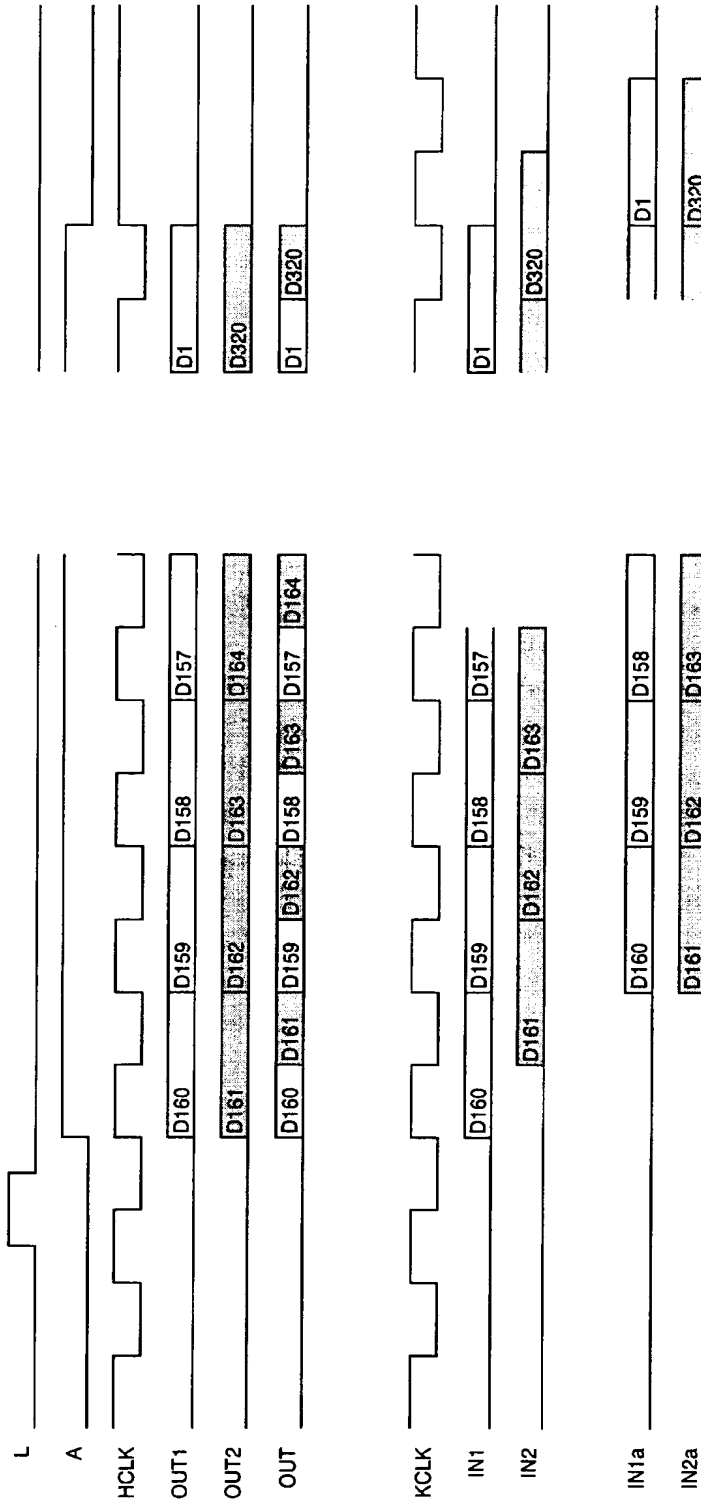
【図 13】



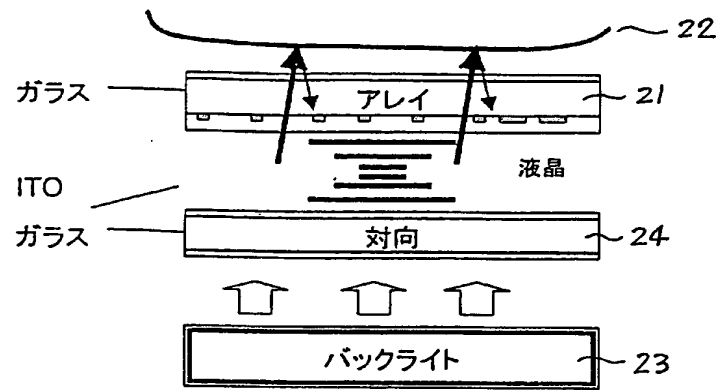
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 センサで取り込んだ画像データを簡易な手法でホストコンピュータに伝送可能な表示装置を提供する。

【解決手段】 表示装置の各画素は、2つのセンサ12a, 12bと、同一画素内の2つのセンサ12a, 12bで共用されるキャパシタC3と、キャパシタC3の蓄積電荷をA/D変換する検出回路41とを有する。検出回路41は、アレイ基板の額縁部分に設けられる。検出回路41は、各検出線ごとに、トランジスタQ7, Q8と、キャパシタC4及びインバータIV1からなるアンプ42と、インバータIV2と、ラッチ43と、トランジスタQ9と、トランジスタQ10及びレジスタ回路44からなるシフトレジスタ45とを有する。シフトレジスタ45を第1及び第2シフトレジスタ部45a, 45bに分けて、各シフトレジスタ部45a, 45bの出力を交互に選択してCPUに伝送するため、シフトレジスタ45の動作周波数を遅くできる。

【選択図】 図4

特願 2 0 0 2 - 2 1 8 6 8 7

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 2 0 2 0 7]

1. 変更年月日

2 0 0 2 年 4 月 5 日

[変更理由]

新規登録

住 所

東京都港区港南 4 - 1 - 8

氏 名

東芝松下ディスプレイテクノロジー株式会社